

⑫ 公開特許公報(A)

平2-61731

⑤ Int. Cl.³G 06 F 11/28
11/22

識別記号

3 1 0 E
3 4 0 Z

庁内整理番号

7343-5B
7368-5B

⑬ 公開 平成2年(1990)3月1日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 マイクロプロセッサ

⑯ 特 願 昭63-213974

⑰ 出 願 昭63(1988)8月29日

⑱ 発 明 者 金 子 克 幸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

マイクロプロセッサ

2. 特許請求の範囲

(1) 命令デコード回路と、この命令デコード回路から出力される分岐命令の実行を示す分岐命令信号線と、この線上の信号を保持する保持回路と、分岐命令の実行によって出力される分岐アドレスに同期して前記保持回路の出力を外部に送出する出力手段と、この出力手段に接続された出力端子とを含むことを特徴としたマイクロプロセッサ。

(2) 命令デコード回路と、この命令デコード回路から出力される分岐命令の実行を示す分岐命令信号と、この線上の信号を保持する保持回路と、第1の境界レジスタと、第2の境界レジスタと、分岐命令の実行によって出力される分岐アドレスと前記第1及び第2の境界レジスタの値とこの分岐アドレスを比較し、分岐アドレスが前記第1及び第2の境界レジスタの値の範囲にあるかを判断する比較回路と、前記比較回路の出力によって前記

保持回路の出力を外部に送出する出力手段と、この出力手段に接続された出力端子とを含むことを特徴としたマイクロプロセッサ。

3. 発明の詳細な説明

産業上の利用分野

本発明は、マイクロプロセッサの構成に関するものであり、特に命令実行のトレースが外部から容易に行えるマイクロプロセッサに関するものである。

従来の技術

マイクロプロセッサの動作を評価する場合、或いはマイクロプロセッサ・システムを用いてプログラム開発を行う場合、プロセッサが正常に動作しているか、或いはプログラムが正常に実行されているかを監視するためにマイクロプロセッサが命令をフェッチするために出力するアドレスを追跡する方法がある。このような方法を用いてマイクロプロセッサをテストする場合、命令フェッチをトレースするための特殊な装置が用いられる。第4図に、このような装置の構成を示す。第1図

において1は監視対象のマイクロプロセッサ、2はマイクロプロセッサ1が命令やデータをアクセスする主メモリであり、これらの間はデータバス3、アドレスバス4及び制御バス5で接続されている。論理回路6は制御バスを監視していて、マイクロプロセッサが命令フェッチのために主メモリ2をアクセスした場合、トレースメモリ8にアドレスバス4の内容を書くべく制御信号を出力する。カウンタ7は論理回路6によって動作し、トレースメモリ8のアドレスを順次進める。このような装置によってマイクロプロセッサの実行する命令が逐一トレースメモリに蓄えられ、後にこのトレースメモリの内容を解析することによって逆にマイクロプロセッサが実行したプログラム上に遡すことができる。

発明が解決しようとする課題

このような従来の回路ではマイクロプロセッサが命令フェッチを行うかを常に監視するための論理回路6が必要である。また、マイクロプロセッサの1回の命令フェッチにトレースメモリの1

ワードを使用するために最大なプログラム或いはループやジャンプを多く含むプログラムを実行する場合には多量のトレースメモリが必要となる。

本発明はこのような点に関してなされたものであり、マイクロプロセッサに容易なハードウェアを付加することによって実行命令のトレースを容易にすることを目的としている。

課題を解決するための手段

本発明は上記問題点を解決するために、マイクロプロセッサの命令デコード回路から出力される分岐命令実行を示す信号線を一時的に保持し、分岐後の命令をフェッチするためにマイクロプロセッサが分岐アドレスを出力するのに同期して、この保持回路の出力を外部に送出する。

さらに、分岐アドレスに対してアドレスの境界を示す一組の境界レジスタと、分岐アドレスがこの境界レジスタの示す境界内にあるかどうかを判定する比較回路を備え、境界内へ分岐した場合のみ保持回路の出力を外部に送出する。

作 用

本発明は上記した構成により、分岐命令実行時にマイクロプロセッサが出力する分岐アドレスに同期して、分岐命令フェッチであることを示す信号が出力される。分岐命令以外の命令実行においては命令フェッチ・アドレスは1ずつ増加するだけであるから、この信号によって分岐アドレスを順次トレースメモリに読み込むことによって、マイクロプロセッサにおける命令実行の様子が全て観測できることになる。

実施例

第1図は本発明のマイクロプロセッサの一実施例を示すブロック図である。第1図において、10はマイクロプロセッサのデータバス、11は同じくアドレスバスである。これらのバスは各々データ入出力回路12及びデータレジスタ13、アドレス出力回路14及びアドレスレジスタ15を介して内部バス16に接続されている。内部データバスーにはアドレス演算やデータ演算を行うALU17、アドレス、データ等を一時的に蓄積する汎用レジスタ18、プロセッサの内部状態やA

LU15のプラグなどが格納される状態レジスタ19などが接続されている。プロセッサが主メモリの所定の番地に格納されている命令を実行する場合、プログラムカウンタ20からアドレスレジスタ15、アドレス出力回路14を介してアドレスバス11に所定のアドレスが出力され、このアドレスに対応する主メモリの内容がデータバス10、データ入出力回路12、データレジスタ13を介して命令レジスタ21に読み込まれる。読み込まれた命令はデコーダ22において解釈されマイクロプロセッサ各部に送出される。デコーダ22から出力される制御線23のうち、分岐命令信号線24は、マイクロプロセッサ内の関係するブロックに送出されると同時に保持回路25に接続され、出力回路26及び出力端子27を介してマイクロプロセッサ外部に出力されている。

主メモリから読み出され命令レジスタ21に格納された命令が分岐命令である場合、マイクロプロセッサは状態レジスタ19の値を参照して次命令のフェッチを予め+1増加されたプログラムカ

ウンタ20の示すアドレスから行かうか、分岐命令で指示された分岐アドレスから行かうかを判断すると同時に、分岐命令信号線24を介して保持回路25にデコード22からの分岐命令信号、すなわち論理1を保持する。この保持回路25の出力は次命令のフェッチアドレスが、アドレスレジスタ15からアドレス出力回路14を経てアドレスバス11に送出されるタイミングに合わせて、出力回路26から出力端子27に出力される。換言すれば、出力端子27にはマイクロプロセッサが分岐命令実行後に初めてフェッチにいくアドレスに同期して論理1が出力される。従ってこの出力端子27上の信号を使ってアドレスバス11上のアドレスをトレースメモリに順次格納していくことによって、分岐命令直後に実行される命令のアドレスがトレースメモリに順次格納されることになる。分岐命令以外の命令実行においては命令フェッチアドレスはプログラムカウンタ20において白成される+1ずつ増加する値となるから、トレースメモリに格納されたアドレスを観測すること

によってマイクロプロセッサにおける命令実行の様子が全て観測できることになる。

第2図は本発明の第2の実施例を示すブロック図である。第2図において30~47は第1図における10~27に同じである。分岐命令信号44及び状態レジスタ39の出力は状態セレクト48に送出され、ここで分岐条件が判定され実際に分岐が生じる場合のみ分岐実行信号線49に論理1が送出される。以下、第1の実施例において説明したように、この信号は分岐先アドレスがアドレスレジスタ35からアドレス出力回路34を経てアドレスバス31に送出されるタイミングに合わせて出力回路46から出力端子47に出力される。すなわち出力端子47にはマイクロプロセッサが分岐命令を実行し実際に分岐を行った後に初めてフェッチにいくアドレスに同期して論理1が出力される。従ってこの端子を用いてトレースメモリに格納された内容は実際に分岐した飛び先のみとなり、トレースメモリの消費量は第1の実施例におけるトレースメモリの消費量よりもさらに

少ないものとなる。

第3図は本発明の第3の実施例を示すブロック図である。第3図において50~67は第1図における10~27に同じであり、68~69は第2図における48~49に同じである。内部データバス56には上限レジスタ70及び下限レジスタ71が接続されており、この2本のレジスタの出力及びアドレスレジスタ55の出力が比較回路72の入力となっている。この比較回路72はアドレスレジスタ55の出力するアドレス値が2つのレジスタ70及び71の示すアドレス値の間にある時に論理1をAND回路73に出力する。AND回路73の一方の入力は分岐実行信号線69であり、出力は保持回路65に送られている。本実施例は第2の実施例と次の点で異なっている。すなわち、出力端子67に論理1が出力されるのは、マイクロプロセッサが分岐命令を実行して実際に分岐を行い、かつ分岐先アドレスが上限レジスタ70及び下限レジスタ71で示された範囲である場合である。従って、この端子を用いてトレ

ースメモリに格納された内容は、2つのレジスタ70及び71で示された範囲での飛び先のみであり、第2の実施例に比べてトレースメモリの消費はさらに少ないものとなる。

発明の効果

本発明は、以上説明したように、分岐命令実行後の或いは分岐実行後の命令フェッチアドレスの送出に同期して特定の出力を外部に送出する手段を付加することによって、プロセッサ外部における命令のトレースが容易に行うことができるマイクロプロセッサを構成することができる。さらにこのような構成によって、トレースメモリの消費を減らすことができ、より大きなプログラムのトレースが可能となり実用的にきわめて有用である。

4、図面の簡単な説明

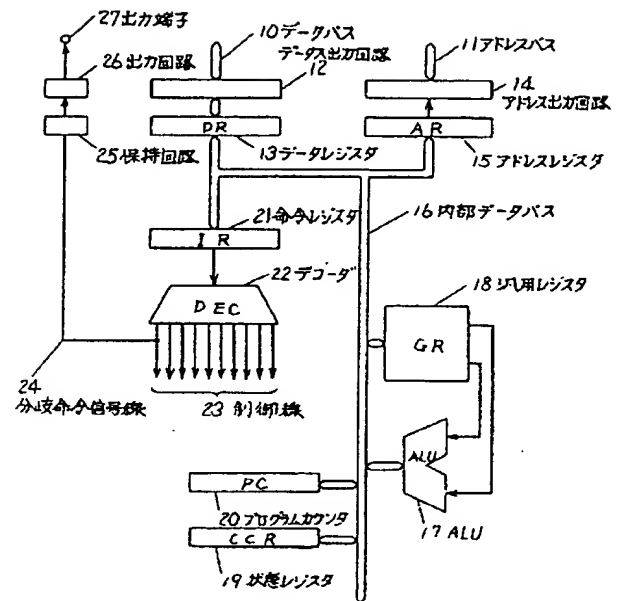
第1図は本発明の第1の実施例におけるマイクロプロセッサの構成を示すブロック図、第2図は本発明の第2の実施例におけるマイクロプロセッサの構成を示すブロック図、第3図は本発明の第

3の実施例におけるマイクロプロセッサの構成を示すブロック図、第4図は従来のマイクロプロセッサの命令実行のトレースを行う装置の構成図である。

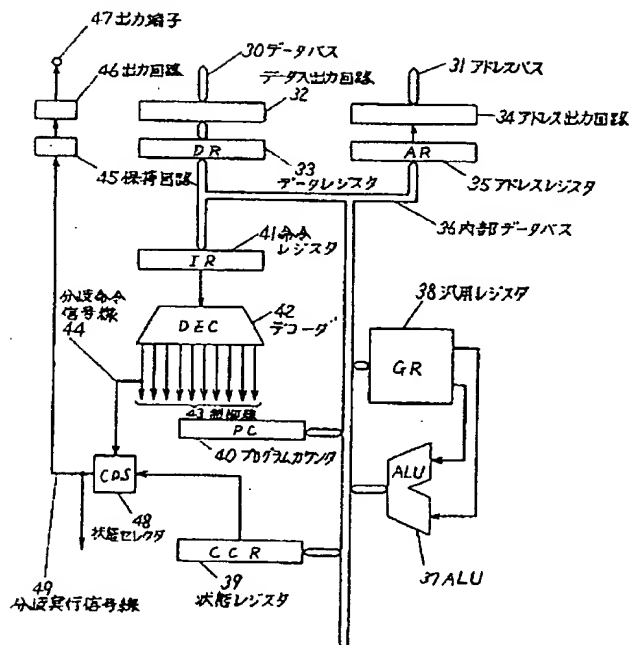
21, 41, 61……命令レジスタ、22, 42, 62……デコード、25, 45, 65……保持回路、26, 46, 66……出力回路、48, 68……状態セクタ、70……上限レジスタ、71……下限レジスタ、72……比較回路。

代理人の氏名 弁理士 栗野重孝 ほか1名

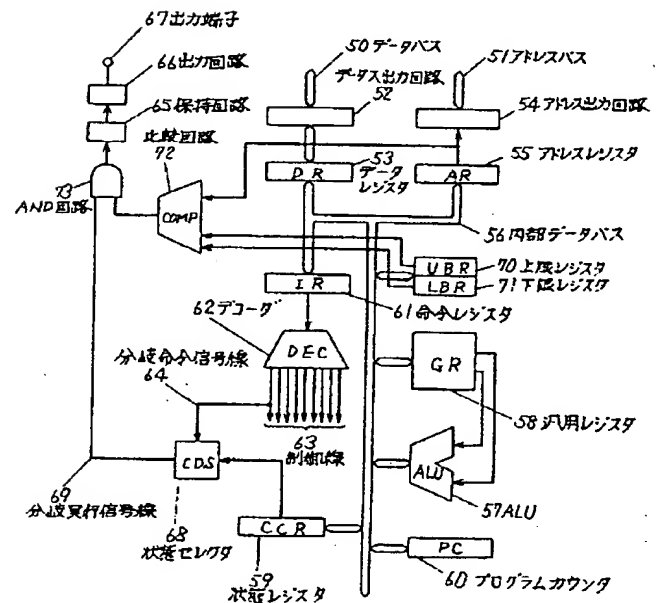
第1図



第2図



第3図



第 4 図

